

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-100797

(43)Date of publication of application : 19.04.1989

(51)Int.Cl.

G11C 17/00

(21)Application number : 62-257116

(71)Applicant : HITACHI LTD

(22)Date of filing : 14.10.1987

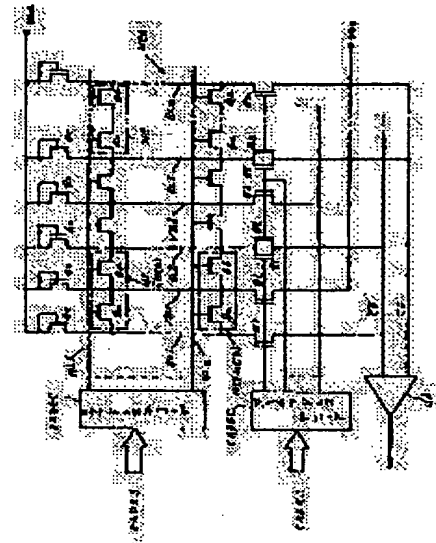
(72)Inventor : MORIUCHI HISAHIRO

(54) ROM CIRCUIT

(57)Abstract:

PURPOSE: To hasten the confirmation of an amplifying output due to a sense amplifier at the time of reading memory cell data by amplifying the potential difference in a bit wire pair driven to a complementary level in accordance with the complementary switching action of a transistor to constitute a memory cell.

CONSTITUTION: A memory cell MC is composed of a pair of transistors switching-operated complementarily by the difference in the threshold voltage, and in accordance with the complementary switching action of the transistor to constitute the memory cell MC, the potential difference of bit wire BL1WBLn pairs driven to the complementary level is amplified by a sense amplifier SA. Consequently, at the time of reading the memory cell data, the level of a pair of the bit wires BL1WBLn is complementarily forced, and thus, the potential difference necessary to the definition of the amplifying output action due to the sense amplifier SA to detect and amplify the level difference is brought by means of the level change of the bit wires BL1WBLn of both. Thus, at the time of reading the memory cell data, the early confirmation of the amplifying output due to the sense amplifier SA can be executed and further, the reading time of the data can be shortened.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平1-100797

⑬ Int.Cl.⁴
G 11 C 17/00

識別記号
3 0 9

庁内整理番号
B-7341-5B

⑭ 公開 平成1年(1989)4月19日

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 ROM回路

⑯ 特 願 昭62-257116

⑰ 出 願 昭62(1987)10月14日

⑱ 発 明 者 森 内 久 裕 東京都小平市上水本町1450番地 株式会社日立製作所武蔵工場内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

ROM回路

2. 特許請求の範囲

1. 相補的にスイッチ動作される1対のトランジスタによってメモリセルを構成し、そのメモリセルを構成するトランジスタの相補的スイッチ動作に応じて相補レベルに駆動されるビット線対の電位差をセンスアンプで増幅するようにされて成るものであることを特徴とするROM回路。

2. 上記メモリセルは、しきい値電圧の異なるMOSFET又はMISFETが直列接続されて成るものであることを特徴とする特許請求の範囲第1項記載のROM回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はROM回路に関し、例えばデータやソフトウェアプログラム格納用固定記憶装置やディジタル楽器の音源用ROMなどの高速アクセスを

要求されるROM(リード・オンリ・メモリ)半導体集積回路に適用して有効な技術に関するものである。

(従来技術)

従来のROMは1つのメモリセルが1つのトランジスタによって構成され、例えば第3図に示されるように、しきい値電圧が比較的高く又は低く設定されたMOSFETやMISFETなどのトランジスタによってメモリセル1が構成される。このメモリセル1を構成するトランジスタのドレイン・ソース電極は一方の電源電圧V_{dd}を受けるダイオード接続された負荷子2を一端部に備えるビット線対3、4に結合され、上記ビット線3、4の他端部はカラム選択スイッチ6、7に結合される。メモリセル1の選択端子はワード線5に結合される。上記一方のカラム選択スイッチ6は接地電位のような他方の電源電圧V_{ss}を受けるようになっている。ワード線5が選択レベルに駆動されてメモリセル1が選択されるとき、当該メモリセル1の比較的低いしきい値電圧によってそれ

がオン状態に制御される場合にはビット線3の電位はハイレベル（概ね電源電圧 V_{dd} レベル）からロウレベル（概ね電源電圧 V_{ss} レベル）に減衰される。逆に当該メモリセル1の比較的高いしきい値電圧によってそれがオフ状態に制御される場合にはビット線3の電位はハイレベルを維持する。メモリセル1のしきい値電圧に応じたこのようなビット線3の変化は、電源電圧 V_{dd} の概ね半分の電圧 $V_{dd}/2$ を比較基準電圧とするセンスアンプSAによって検出されて増幅され、それがメモリセルデータとして読み出される。尚、横ROM回路について記載された文献の例としては特願昭60-208662がある。

〔発明が解決しようとする問題点〕

しかしながら、メモリセルデータの読み出しに際してビット線3の電位の高低を判定する比較基準電位が電圧 $V_{dd}/2$ に固定されている場合、センスアンプSAの出力を確定させるにはビット線3の電位は比較基準電圧 $V_{dd}/2$ に対して所定のレベル差を持たなければならない。このため、

同一のビット線対3, 4に結合されるしきい値電圧の異なるメモリセルから相前後してデータを読み出すような場合、例えば、第4図に示されるように、前回のメモリアクセスでハイレベルにされたビット線3がロウレベルにされるような場合、センスアンプSAによる増幅出力動作の確定に必要とされる電位差 V を得るには、ビット線3のレベルが電圧 $V_{dd}/2$ よりも電圧 V だけ低下するのを持たなければならない。これによつてデータの読み出しに時間がかかるという問題点があった。特に、記憶容量の増大に従つてビット線の不所望な負荷が増えるところの問題点は一層顕著になる。

本発明の目的はメモリセルデータの読み出しに際してセンスアンプによる増幅出力の確定を早めることがROM回路を提供することにある。

本発明の前記ならびにそのほかの目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

〔問題点を解決するための手段〕

本願において開示される発明のうち代表的なも

のの概要を簡単に説明すれば下記の通りである。

すなわち、しきい値電圧の相違などによつて相補的にスイッチ動作される1対のトランジスタによつてメモリセルを構成し、そのメモリセルを構成するトランジスタの相補的スイッチ動作に応じて相補レベルに駆動されるビット線対の電位差をセンスアンプで増幅するようにされて成るものである。

〔作用〕

上記した手段によれば、メモリセルデータの読み出しに際して一対のビット線のレベルが相補的に強制されることにより、そのレベル差を検出して増幅するセンスアンプによる増幅出力動作の確定に必要な電位差は両方のビット線のレベル変化によつてもたらされることにより、メモリセルデータの読み出しに際してセンスアンプによる増幅出力の早期確定、さらにはデータの読み出し時間の短縮を達成するものである。

〔実施例〕

第1図は本発明の一実施例である横ROM回路

を示す回路図である。第1図に示される横ROM回路は、特に制限されないが、公知の半導体集積回路製造技術によつて1つの半導体基板上に形成される。

第1図においてMCは相互にしきい値電圧の異なる1対のトランジスタによつて構成されたメモリセルであり、例えば、しきい値電圧が比較的低く設定されたNチャンネル型MOSFETQaと、しきい値電圧が比較的高く設定されたNチャンネル型MOSFETQbとによつて構成され、MOSFETQaはそのゲートに電源電圧 V_{dd} に呼応する電圧が印加された場合にオン状態を採り、MOSFETQbはオフ状態を採る。このメモリセルMCは、それに含まれる1対のMOSFETQa, Qbの何れのMOSFETのしきい値が高く設定されるかによつて論理「1」、「0」のデータが固定的にプログラムされる。

MOSFETQa, Qbにおけるしきい値電圧の設定は、MOSFETのしきい値レベルをイオン注入により変更する方式とすることができるが、

本発明はそれに限定されず、トランジスタとビット線との接続実施及び不実施による方式、MOS FETのドレイン拡散層の有無による方式など、1対のMOS FET Qa, Qbが相補的にスイッチ動作することができればよい。

上記メモリセルMCはそれが複數個マトリクス配置されてメモリセルアレイMCAを構成する。同一行に配置されたメモリセルMCの選択端子(MOS FET Qa, Qbのゲート電極)はワード線WL1~WLnに結合される。同一列に配置されたメモリセルMCのデータ出力端子(MOS FET Qa, Qbのドレイン電極)はビット線BL1~BLnに結合される。尚、ビット線BL2~BLmは隣合うメモリセルに共有される。同一列に配置されたメモリセルに含まれるMOS FET Qa, Qbのソース電極は電源線VSL1~VSLmに結合される。

上記ビット線BL2~BLm及び電源線VSL1~VSLmの一端部は、特に制限されないが、ダイオード接続されたNチャンネル型負荷MOS

FET Qoを介して回路の一方の電源端子Vddに共通接続される。上記ビット線BL1~BLmの他端部はメモリセルの1列毎に対応されるNチャンネル型カラム選択MOS FET Q1~Qmを介して共通データ線CD, CDに交互に結合される。上記電源線VSL1~VSLmの他端部はメモリセルの1列毎に対応されるNチャンネル型カラム選択MOS FET Q1~Qmを介して回路の接地端子のような他方の電源端子Vssに共通接続される。

上記ワード線WL1~WLnはロウアドレス信号RADRSを解読するロウアドレスデコーダRADECの出力選択信号に基づいて選択され、これによってロウアドレス信号RADRSに呼応する所定の1本が電源電圧Vddレベルに呼応するハイレベルに駆動される。

上記カラム選択MOS FET Q1~Qmはカラムアドレス信号CADRSを解読するカラムアドレスデコーダCADECの出力選択信号に基づいてスイッチ制御され、これにより、カラムアドレ

ス信号CADRSに呼応する所定のビット線対が共通データ線CD, CDに導通にされると共にその間に位置する電源線が電源端子Vssに導通にされる。

したがって、所定1本のワード線が選択レベルに駆動され、且つ、1対のビット線対が共通データ線CD, CDに、そしてそれと対を成す電源線が電源端子Vssに導通にされると、それによって選択されるメモリセルの状態に従ってビット線対が相補レベルに強制され、それが共通データ線CD, CDに与えられる。例えば、ワード線WL1が選択レベルに駆動されると共に、3つのカラム選択MOS FET Q1がオン動作される場合、それによって選択されるメモリセルMCaのMOS FET Qaが比較的高いしきい値電圧にされ、MOS FET Qbが比較的低いしきい値電圧にされているとき、ビット線BL1は負荷MOS FET Qoを通して与えられるハイレベル(概ね電源電圧Vddに呼応するレベル)を維持し、また、ビット線BL2はMOS FET Qb及びQoを通

してロウレベル(電源電圧Vssに呼応するレベル)に減衰される。

このような選択された1対のビット線の相補レベルは共通データ線CD, CDを通して差動増幅回路形式のセンスアンプSAに与えられる。センスアンプSAは、入力信号のレベル差を検出し、それを増幅して外部にメモリセルデータとして与える。尚センスアンプSAの出力端子に結合されたデータ出力バッファは図示されていない。

次に上記実施例の機ROM回路において、同一のビット線対に結合されているメモリセルから相前後してレベルの異なるメモリセルデータを読み出す場合の動作を第2図をも参照しながら説明する。

例えば、選択端子がワード線WL1に結合され、データ出力端子がビット線BL1, BL2に結合されたメモリセルMCaは、比較的高いしきい値電圧の低いMOS FET Qaと比較的低いしきい値電圧の高いMOS FET Qbを含み、また、それと同一のビット線対BL1, BL2に結合されていてワ

ード線 WLn に選択端子が結合されたメモリセル MCb は、比較的しきい値電圧の高い $MOSFETQa$ と比較的しきい値電圧の低い $MOSFETQb$ を含むものとする。

先ず、メモリセル MCa が選択されると、オン状態の $MOSFETQa$ によってビット線 $BL1$ がロウレベルに減衰され、その一方においてオフ状態の $MOSFETQb$ の作用によって他方のビット線 $BL2$ はハイレベルを維持し、そのレベル差がセンスアンプ SA で検出されて増幅されることにより、メモリセル MCa のデータが読み出される。

これに引き続く次のメモリサイクルにおいて第2図に示されるように再びワード線 $WL1$ が選択レベルに駆動されてメモリセル MCb が選択されると、当該メモリセル MCb においてしきい値電圧が比較的高くされている $MOSFETQa$ がオフ状態にされると共に、しきい値電圧が比較的低くされている $MOSFETQb$ がオン状態にされることにより、ビット線 $BL1$ はハイレベルに、

そしてビット線 $BL2$ はロウレベルに、夫々レベル反転される。ビット線 $BL1$ 、 $BL2$ のこのようなレベル反転はセンスアンプ SA によって検出され、ビット線 $BL1$ と $BL2$ の間の電位差 V が所定レベルに達したところでセンスアンプ SA による増幅出力動作が確定される。

このとき、一対のビット線 $BL1$ 、 $BL2$ のレベルは共に相補的に強制されることにより、そのレベル差を検出して増幅するセンスアンプ SA による増幅出力動作の確定に必要な電位差 V は両方のビット線 $BL1$ 、 $BL2$ のレベル変化によってもたらされることになり、メモリセルデータの読み出しに際してセンスアンプ SA による増幅出力の早期確定を得ることができる。

第3図及び第4図に示されるように、メモリセルデータの読み出しに際してビット線電位の高低を判定する比較基準電位が電圧 $Vdd/2$ に固定されている従来の場合には、前回のメモリアクセスでハイレベルにされたビット線がロウレベルにされるような場合、センスアンプによる増幅出力

動作の確定に必要とされる電位差 V を得るには、ビット線のレベルが電圧 $Vdd/2$ よりも電圧 V だけ降下するのを持たなければならない。

したがって、センスアンプにおいて1対のビット線のレベル変化を検出してからその増幅出力動作が確定するまでの時間は、第4図に示される時間 $T2$ に比べて本実施例の横ROM回路における時間 $T1$ の方が短縮される。

上記実施例によれば以下の作用効果を得るものである。

(1) しきい値電圧の異なる1対の $MOSFETQa$ 、 Qb によってメモリセル MC を構成し、そのメモリセル MC を構成するトランジスタの相補的スイッチ動作に応じて相補レベルに駆動される1対のビット線の電位差をセンスアンプ SA で増幅するから、メモリセルデータの読み出しに際して一対のビット線が相補的にレベル強制されるそのレベル差を検出して増幅するセンスアンプ SA による増幅出力動作の確定に必要な電位差 V は両方のビット線のレベル変化によってもたらされる

ことにより、メモリセルデータの読み出しに際してセンスアンプによる増幅出力の早期確定を図ることができる。もってデータ読み出し時間の短縮を達成することができる。

以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明は上記実施例に限定されずその要旨を逸脱しない範囲において種々変更することができる。

例えば上記実施例ではメモリセルを構成するトランジスタを $MOSFET$ としたが $MISFET$ などその他のトランジスタに変更することができる。また、上記実施例は横ROM回路としたが、縦ROM回路にも適用することができる。縦ROM回路とする場合には、夫々のメモリセルを構成するトランジスタをエンハンスメント型 $MOSFET$ 及びデプレッション型 $MOSFET$ などによって構成することができる。また、メモリセルを $EEPROM$ のメモリセルで構成することによっても同様の作用効果を得ることができる。

以上の説明では主として本発明者によって成さ

れた発明をその背景になった利用分野である横ROM回路のような半導体記憶装置に適用した場合について説明したが、本発明はそれに限定されず、プログラマブルROMさらにはランダムロジックアレイなどにも適用することができる。

〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

すなわち、しきい値電圧の相違などによつて相補的にスイッチ動作する1対のトランジスタによってメモリセルを構成し、そのメモリセルを構成するトランジスタの相補的スイッチ動作に応じて相補レベルに駆動されるビット線対の電位差をセンスアンプで増幅するようにされて成るから、メモリセルデータの読み出しに際して相補的にレベル強制されるビット線対のレベル差を検出して増幅するセンスアンプによる増幅出力動作の確定に必要な電位差は両方のビット線のレベル変化によってもたらされることにより、メモリセルデータ

の読み出しに際してセンスアンプによる増幅出力の早期確定を図ることができ、それによって、データの読み出し時間を短縮することができるという効果がある。

4. 図面の簡単な説明

第1図は本発明の一実施例である横ROM回路を示す回路図。

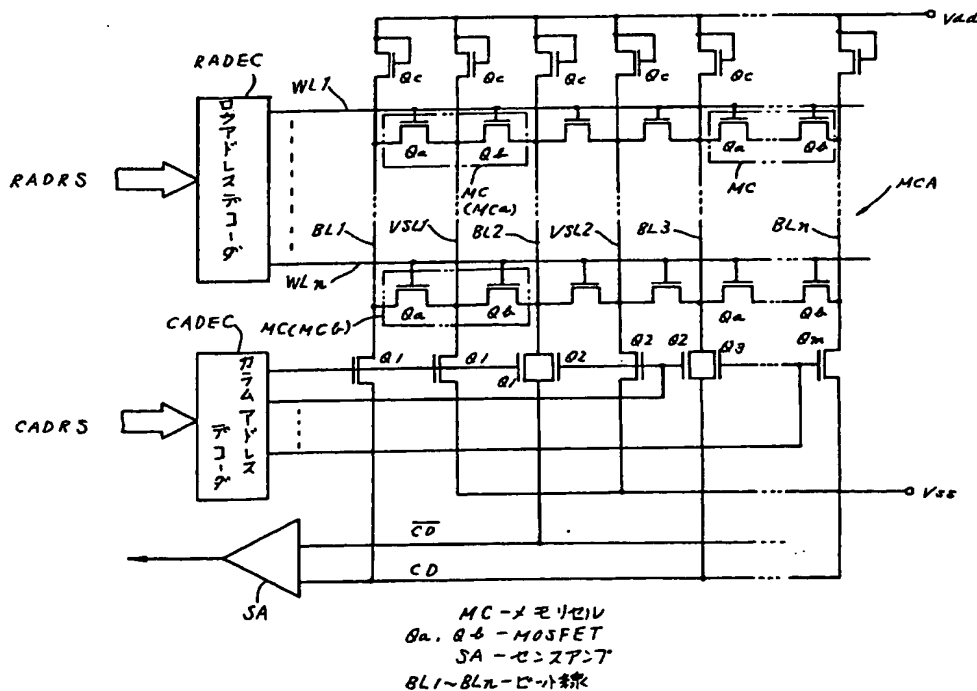
第2図は本実施例の横ROM回路の動作説明のためのタイムチャート。

第3図は従来の横ROM回路を示す概略回路図。

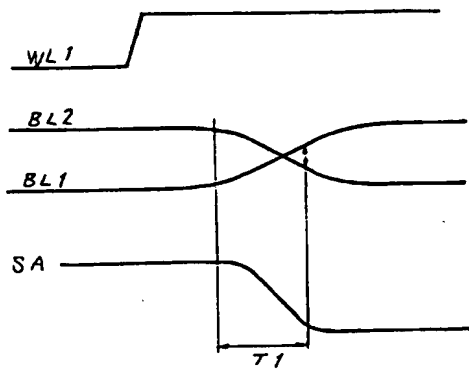
第4図は従来の横ROM回路の動作説明のためのタイムチャートである。

MC…メモリセル、 Q_a 、 Q_b …メモリセルを構成するMOSFET、 $WL1 \sim WLn$ …ワード線、 $BL1 \sim BLn$ …ビット線、 $VSL1 \sim VSLm$ …電源線、 $Q1 \sim Qm$ …カラム選択MOSFET、RADEC…ロウアドレスデコーダ、CADEC…カラムアドレスデコーダ、CD、 \overline{CD} …共通データ線、SA…センスアンプ、 Vdd 、 Vss …電源端子。

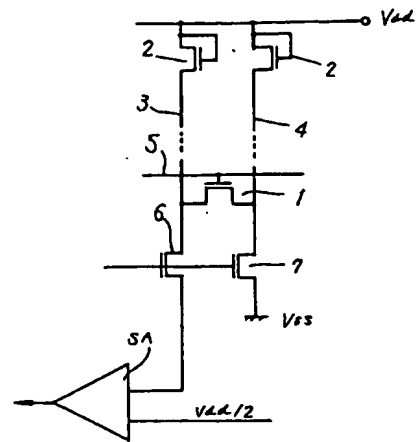
第 1 図



第 2 図



第 3 図



第 4 図

